

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Masahiro SUNOHARA, et al.**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **January 14, 2004**

For: **ELECTRONIC PARTS PACKAGING STRUCTURE AND METHOD OF
MANUFACTURING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: January 14, 2004

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2003-014588, filed January 23, 2003

Japanese Appln. No. 2003-386398, filed November 17, 2003

In support of this claim, the requisite certified copies of said original foreign applications are filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copies.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,
ARMSTRONG, KRATZ, QUINTOS,
HANSON & BROOKS, LLP


Mel R. Quintos

Attorney for Applicants
Reg. No. 31,898

MRQ/jaz
Atty. Docket No. **040001**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 1月23日
Date of Application:

出願番号 特願2003-014588
Application Number:

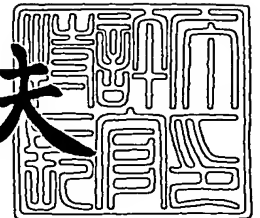
[ST. 10/C]: [JP 2003-014588]

出願人 新光電気工業株式会社
Applicant(s):

2003年12月15日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3104040

【書類名】 特許願

【整理番号】 14-218

【提出日】 平成15年 1月23日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/00
H05K 3/46

【発明の名称】 電子部品実装構造及びその製造方法

【請求項の数】 15

【発明者】

 【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

 【氏名】 春原 昌宏

【発明者】

 【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

 【氏名】 村山 啓

【発明者】

 【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地 新光電気工業株式会社内

 【氏名】 東 光敏

【特許出願人】

 【識別番号】 000190688

 【氏名又は名称】 新光電気工業株式会社

【代理人】**【識別番号】** 100091672**【住所又は居所】** 東京都中央区日本橋人形町 3 丁目 1 1 番 7 号
山西ビル 4 階**【弁理士】****【氏名又は名称】** 岡本 啓三**【電話番号】** 03-3663-2663**【手数料の表示】****【予納台帳番号】** 013701**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9816048**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 電子部品実装構造及びその製造方法

【特許請求の範囲】

【請求項 1】 配線パターンを備えた配線基板の上に未硬化の第 1 樹脂膜を形成する工程と、

素子形成面に接続端子を備えた電子部品を、該接続端子を上側にして前記未硬化の第 1 樹脂膜の中に埋め込む工程と、

前記電子部品を被覆する第 2 樹脂膜を形成する工程と、

前記第 1 及び第 2 樹脂膜を熱処理して硬化させることにより絶縁膜を得る工程と、

前記配線パターン及び接続端子上の前記絶縁膜の所定部にビアホールを形成する工程と、

前記ビアホールを介して前記配線パターン及び前記接続端子に接続される上側配線パターンを前記絶縁膜上に形成する工程とを有することを特徴とする電子部品実装構造の製造方法。

【請求項 2】 配線パターンを備えた配線基板の上に未硬化の樹脂膜を形成する工程と、

素子形成面に接続端子と該接続端子を露出させる開口部をもつパシベーション膜とを備えた電子部品を、該接続端子を上側にして前記未硬化の樹脂膜の中に埋め込む工程と、

前記樹脂膜を熱処理して硬化させることにより絶縁膜を得る工程と、

前記配線パターン上の前記絶縁膜の所定部にビアホールを形成する工程と、

前記ビアホールを介して前記配線パターンに接続されると共に、前記開口部を介して前記接続端子に接続される上側配線パターンを、前記絶縁膜及び前記電子部品上に形成する工程とを有することを特徴とする電子部品実装構造の製造方法。

。

【請求項 3】 配線パターンを備えた配線基板の上に未硬化の樹脂膜を形成する工程と、

素子形成面に接続端子を備えた電子部品を、該接続端子を下側にして前記未硬

化の樹脂膜の中に埋め込むと共に、前記接続端子を前記配線パターンに接合する工程と、

前記樹脂膜を熱処理して硬化させることにより絶縁膜を得る工程と、

前記配線パターン上の前記絶縁膜の所定部にビアホールを形成する工程と、

前記ビアホールを介して前記配線パターンに接続された上側配線パターンを前記絶縁膜上に形成する工程とを有することを特徴とする電子部品実装構造の製造方法。

【請求項 4】 配線パターンを備えた配線基板の上に未硬化の第 1 樹脂膜を形成する工程と、

素子形成面に接続端子を備えた電子部品を、該接続端子を下側にして前記未硬化の第 1 樹脂膜の中に埋め込むと共に、前記接続端子を前記配線パターンに接合する工程と、

前記電子部品を被覆する第 2 樹脂膜を形成する工程と、

前記第 1 及び第 2 樹脂膜を熱処理して硬化させることにより絶縁膜を得る工程と、

前記配線パターン上の前記絶縁膜の所定部にビアホールを形成する工程と、

前記ビアホールを介して前記配線パターンに接続される上側配線パターンを前記絶縁膜上に形成する工程とを有することを特徴とする電子部品実装構造の製造方法。

【請求項 5】 前記電子部品を前記未硬化の樹脂膜に埋め込む工程において、前記電子部品の素子形成面又は背面と前記未硬化の樹脂膜の上面とが略同一の高さになるようにすることを特徴とする請求項 1 乃至 4 のいずれか一項に記載の電子部品実装構造の製造方法。

【請求項 6】 前記電子部品を前記未硬化の樹脂膜に埋め込む工程において、前記電子部品の背面と前記配線基板との間に前記樹脂膜が介在するようにすることを特徴とする請求項 1 又は 2 に記載の電子部品実装構造の製造方法。

【請求項 7】 前記上側配線パターンを形成する工程において、前記電子部品上には前記上側配線パターンを形成しないことを特徴とする請求項 3 に記載の電子部品実装構造の製造方法。

【請求項 8】 前記樹脂膜に前記電子部品を埋め込む工程から前記上側配線パターンを形成する工程を所定回数繰り返す工程をさらに有することを特徴とする請求項 1 乃至 7 のいずれか一項に記載の電子部品実装構造の製造方法。

【請求項 9】 前記上側配線パターンに上側電子部品をフリップチップ接続する工程をさらに有することを特徴とする請求項 1 乃至 8 のいずれか一項に記載の電子部品実装構造の製造方法。

【請求項 10】 前記電子部品は、厚みが $150\ \mu\text{m}$ 程度以下の半導体チップであることを特徴とする請求項 1 乃至 9 のいずれか一項に記載の電子部品実装構造の製造方法。

【請求項 11】 配線パターンを備えた配線基板と、
前記配線基板の上に形成された第 1 絶縁膜と、
素子形成面に接続端子を備えた電子部品の該接続端子が上側になって前記第 1 絶縁膜の中に埋設されている共に、前記電子部品の背面が前記配線基板に接触しない状態で実装された前記電子部品と、
前記電子部品を被覆する第 2 絶縁膜と、
前記配線パターン及び前記接続端子上の前記第 1 及び第 2 絶縁膜の所定部にそれぞれ形成されたビアホールと、
前記第 2 絶縁膜上に形成され、前記ビアホールを介して前記配線パターン及び前記接続端子にそれぞれ接続される上側配線パターンとを有することを特徴とする電子部品実装構造。

【請求項 12】 配線パターンを備えた配線基板と、
前記配線基板の上に形成された絶縁膜と、
素子形成面に接続端子と該接続端子を露出させる開口部をもつパシベーション膜とを備えた電子部品が、前記接続端子が上側になって前記絶縁膜の中に埋設されている共に、前記電子部品の背面が前記配線基板に接触しない状態で実装された前記電子部品と、
前記配線パターン上の前記絶縁膜の所定部に形成されたビアホールと、
前記絶縁膜及び前記電子部品上に形成され、前記ビアホールを介して前記配線パターンに接続されると共に、前記開口部を介して前記接続端子に接続される上

側配線パターンとを有することを特徴とする電子部品実装構造。

【請求項 13】 前記電子部品の素子形成面と該電子部品が埋設された前記絶縁膜の上面とは、略同一の高さになって平坦化されていることを特徴とする請求項 11 又は 12 に記載の電子部品実装構造。

【請求項 14】 前記電子部品は、厚みが $150\text{ }\mu\text{m}$ 程度以下の半導体チップであることを特徴とする請求項 11 乃至 13 のいずれか一項に記載の電子部品実装構造。

【請求項 15】 前記絶縁膜は樹脂からなることを特徴とする請求項 11 乃至 14 のいずれか一項に記載の電子部品実装構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電子部品実装構造及びその製造方法に係り、より詳しくは、半導体チップなどが絶縁膜に埋設された状態で配線基板上に実装された電子部品実装構造及びその製造方法に関する。

【0002】

【従来の技術】

マルチメディア機器を実現するためのキーテクノロジーである LSI 技術はデータ伝送の高速化、大容量化に向かって着実に開発が進んでいる。これに伴って、LSI と電子機器とのインターフェイスとなる実装技術の高密度化が進められている。

【0003】

さらなる高密度化の要求から、配線基板上に複数の半導体チップを 3 次元的に積層して実装した半導体装置が開発されている。その一例として、特許文献 1 及び特許文献 2 には、配線基板上に複数の半導体チップが絶縁層に埋設された状態で 3 次元的に実装され、絶縁層を介して多層に形成された配線パターンなどにより複数の半導体チップが相互接続された構造を有する半導体装置が記載されている。

【0004】

【特許文献1】

特開 2001-177045号公報

【特許文献2】

特開 2000-323645号公報

【0005】**【発明が解決しようとする課題】**

しかしながら、上記した特許文献1及び2では、実装された半導体チップ上に層間絶縁膜を形成する際に、層間絶縁膜が半導体チップの厚みに起因して段差が生じた状態で形成されてしまうことに関しては何ら考慮されていない。

【0006】

すなわち、半導体チップ上の層間絶縁膜に段差が生じると、その上に配線パターンを形成する際のフォトリソグラフィにおいてデフォーカスが発生しやすくなるため、所望の配線パターンを精度よく形成することが困難になる。

【0007】

さらには、層間絶縁膜上に形成される配線パターンにも段差が生じるため、この配線パターンに半導体チップをフリップチップ接合する際に接合の信頼性が低下する恐れがある。

【0008】

本発明は以上の課題を鑑みて創作されたものであり、電子部品が配線基板上の層間絶縁膜に埋設された構造を有する電子部品実装構造において、電子部品の厚みに起因する段差を容易に解消して平坦化することができる電子部品実装構造の製造方法及び電子部品実装構造を提供することを目的とする。

【0009】**【課題を解決するための手段】**

上記課題を解決するため、本発明は電子部品実装構造の製造方法に係り、配線パターンを備えた配線基板の上に未硬化の第1樹脂膜を形成する工程と、素子形成面に接続端子を備えた電子部品を、該接続端子を上側にして前記未硬化の第1樹脂膜の中に埋め込む工程と、前記電子部品を被覆する第2樹脂膜を形成する工程と、前記第1及び第2樹脂膜を熱処理して硬化させることにより絶縁膜を得る

工程と、前記配線パターン及び接続端子上の前記絶縁膜の所定部にビアホールを形成する工程と、前記ビアホールを介して前記配線パターン及び前記接続端子に接続される上側配線パターンを前記絶縁膜上に形成する工程とを有することを特徴とする。

【0010】

本発明では、まず、配線基板上に未硬化の第1樹脂膜が形成される。その後に、素子形成面に接続端子を備えた電子部品（薄型化された半導体チップなど）が、その接続端子が上側になった状態で未硬化状態の軟性の第1樹脂膜に押圧されて埋め込まれる。このとき、電子部品の素子形成面と第1樹脂膜の上面とが略同一の高さになるようにすることが好ましい。

【0011】

次いで、電子部品を被覆する未硬化の第2樹脂膜が形成される。続いて、第1及び第2樹脂膜を熱処理して硬化させることにより絶縁膜が得られる。その後に、配線パターン及び接続端子上の絶縁膜にビアホールが形成され、このビアホールを介して配線パターン及び接続端子に接続される上側配線パターンが絶縁膜上に形成される。

【0012】

このように、本発明では、何ら特別な平坦化工程を追加することなく、電子部品の厚みに起因する段差が解消された状態で、電子部品が絶縁膜の中に埋設されて実装される。このため、電子部品の上方に上側配線パターンを形成する際のフォトリソグラフィにおいてデフォーカスが発生する恐れがなくなるため、上側配線パターンが精度よく安定して形成されるようになる。

【0013】

また、電子部品上方の上側配線パターンに上側電子部品をフリップチップ実装する場合、上側配線パターンは配線基板全体にわたって概ね同一の高さに配置されるため、上側電子部品と上側配線パターンとの接合の信頼性を向上させることができる。

【0014】

上記した発明において、電子部品の背面と配線基板との間に第1樹脂膜が介在

するようにすることが好ましい。このようにすることにより、第1樹脂膜が電子部品と配線基板とを接着する接着層として機能するので、実装構造が簡易になると共に、実装構造の信頼性を向上させることができる。

【0015】

また、上記した発明において、電子部品として接続端子を露出させる開口部をもつパシベーション膜を備えたものを使用する場合、第2樹脂膜を省略し、電子部品上に直接上側配線パターンを形成するようにしてもよい。

【0016】

また、上記した課題を解決するため、本発明は電子部品実装構造の製造方法に係り、配線パターンを備えた配線基板の上に未硬化の第1樹脂膜を形成する工程と、素子形成面に接続端子を備えた前記電子部品を、該接続端子を下側にして前記未硬化の第1樹脂膜の中に埋め込むと共に、前記接続端子を前記配線パターンに接合する工程と、前記電子部品を被覆する第2樹脂膜を形成する工程と、前記第1及び第2樹脂膜を熱処理して硬化させることにより絶縁膜を得る工程と、前記配線パターン上の前記絶縁膜の所定部にビアホールを形成する工程と、前記ビアホールを介して前記配線パターンに接続される上側配線パターンを前記絶縁膜上に形成する工程とを有することを特徴とする。

【0017】

本発明では、まず、配線基板上に未硬化の第1樹脂膜が形成される。その後、電子部品（薄型化された半導体チップなど）がその接続端子を下側になって未硬化の第1樹脂膜の中に埋め込まれる共に、電子部品の接続端子が配線パターンにフリップチップ接続される。このとき、電子部品の背面と第1樹脂膜の上面とが略同一の高さになるように調整することが好ましい。

【0018】

次いで、電子部品を被覆する第2樹脂膜が形成された後、第1及び第2樹脂膜が熱処理により硬化して絶縁膜となる。続いて、配線パターン上の絶縁膜にビアホールが形成された後に、ビアホールを介して配線パターンに接続される上側配線パターンが絶縁膜上に形成される。

【0019】

このように、何ら工程を追加することなく、電子部品の厚みに起因する段差が解消された状態で電子部品が樹脂膜に埋設されると共に、電子部品の接続端子を配線基板の配線パターンにフリップチップ接続することができる。このため、前述した発明と同様に、電子部品の上方に形成される上側配線パターンを精度よく形成することができると共に、上側電子部品を上側配線パターンにフリップチップ実装する場合、信頼性がよい状態で接合される。

【0020】

また、電子部品の下部隙間にアンダーフィル樹脂を特別に形成する必要がないため、製造コストを低減できる。

【0021】

上記した発明において、電子部品を被覆する第2樹脂膜を省略してもよい。この場合、特に、電子部品として薄型化された半導体チップを使用するときは、半導体チップの回路パターンと上側配線パターンとがショートしないように、半導体チップ上に上側配線パターンを配置しないようにすることが好ましい。

【0022】

【発明の実施の形態】

以下、本発明の実施の形態について、添付の図面を参照して説明する。

【0023】

本実施形態を説明する前に、半導体チップが絶縁膜に埋設されて実装された半導体装置の製造における不具合な点について説明する。図1は半導体チップが絶縁膜に埋設されて実装された半導体装置の製造における不具合な点を示す断面図である。

【0024】

図1(a)に示すように、まず、所定の配線パターン(不図示)を備えたベース基板100上に第1層間絶縁膜102が形成され、ベース基板100の配線パターンに第1層間絶縁膜102に形成されたビアホール(不図示)を介して接続されたCu配線104が形成される。このCu配線104上には接着層106を介して接続端子108aを備えた半導体チップ108がその接続端子108aが上面になった状態で固着される。

【0025】

続いて、半導体チップ108及びCu配線104上に第2層間絶縁膜110が形成される。このとき、第2層間絶縁膜110は、半導体チップ108の段差に起因してCu配線104上よりも半導体チップ108上の方が盛り上がって形成されることになる。

【0026】

次いで、図1(b)に示すように、半導体チップ108の接続端子108aなどの上の第2層間絶縁膜110がレーザなどによりエッチングされてビアホール112が形成される。続いて、ビアホール112の内面及び第2層間絶縁膜110上にシードCu膜（不図示）が形成された後、配線パターンが形成される部分が開口されたレジスト膜（不図示）がフォトリソグラフィにより形成される。

【0027】

次いで、シードCu膜をめっき給電層に利用した電解めっきにより、レジスト膜パターンの開口部にCu膜パターンが形成された後、レジスト膜が除去される。続いて、Cu膜パターンをマスクにしてシードCu膜がエッチングされて、配線パターン114が得られる。

【0028】

第2層間絶縁膜110の上面は半導体チップ108の影響で段差が生じていることから、上記したレジスト膜パターンを形成する際のフォトリソグラフィにおいてデフォーカスが発生しやすい。このため、第2層間絶縁膜110上に形成されるレジスト膜パターンに不具合が発生しやすくなるので、所要の配線パターン114を精度よく形成することが困難になる。

【0029】

続いて、バンプ116aを備えた半導体チップ116のバンプ116aが配線パターン114の接続部114aにフリップチップ接合される。このとき、配線パターン114の接続部114aは、第2層間絶縁膜110の段差に起因してその高さがばらついているため、半導体チップ116のバンプ116aと配線パターン114の接続部114aとの接合不良が発生しやすい。

【0030】

以下に示す本発明の実施形態の電子部品実装構造及びその製造方法は上記した課題を解決することができる。

【0031】

(第1の実施の形態)

次に、本発明の第1実施形態の電子部品実装構造の製造方法を説明する。図2～図4は本発明の第1実施形態の電子部品実装構造の製造方法を示す断面図である。第1実施形態の電子部品実装構造の製造方法は、図2(a)に示すように、まず、ビルドアップ配線基板を製造するためのベース基板24を用意する。このベース基板24は樹脂などの絶縁性材料から構成されている。またベース基板24にはスルーホール24aが設けられていて、このスルーホール24aにはその内面にベース基板24上の第1配線パターン28に繋がるスルーホールめっき層24bが形成され、その孔は樹脂24cで埋め込まれている。

【0032】

その後、第1配線パターン28を被覆する樹脂などからなる第1層間絶縁膜30を形成する。続いて、第1配線パターン28上の第1層間絶縁膜30の所定部をレーザやRIEなどでエッチングすることにより第1ビアホール30xを形成する。

【0033】

続いて、第1ビアホール30xを介して第1配線パターン28に接続される第2配線パターン28aを第1層間絶縁膜30上に形成する。第2配線パターン28aは、後述する第3配線パターンの形成方法と同様な方法で形成される。

【0034】

次いで、図2(b)に示すように、第2配線パターン28a及び第1層間絶縁膜30上に第1樹脂膜32aを形成する。第1樹脂膜32aとしては、エポキシ系樹脂、ポリイミド系樹脂又はポリフェニレンエーテル系樹脂などが使用される。第1樹脂膜32aの形成方法としては、樹脂フィルムをラミネートする方法又は樹脂膜をスピンコート法もしくは印刷により形成する方法がある。

【0035】

一般的に、樹脂膜は未硬化の樹脂材が熱処理により硬化されて形成されるが、

本実施形態の特徴の一つは、未硬化状態の軟らかい樹脂膜の中に半導体チップを埋め込むことにあるので、この工程では第1樹脂膜32aが未硬化の状態で形成される。すなわち、上記したような樹脂材を形成した後に、それを仮圧着するために50～100℃でベークして未硬化の第1樹脂膜32aとする。

【0036】

また、第1樹脂膜32aの膜厚は、それに埋め込まれる半導体チップの厚みを考慮して設定されるので特に限定されないが、好適には、半導体チップの厚みの2倍程度の膜厚に設定される。

【0037】

次いで、図2(c)に示すような半導体チップ20(電子部品)を用意する。この半導体チップ20の素子形成面側には、接続パッド21a(接続端子)が露出していて、それ以外の部分はパシベーション膜21bにより被覆されている。この半導体チップ20を得るには、まず、素子形成面にトランジスタなどの素子とそれに接続された接続パッド21aとを備えた厚みが400 μ m程度の半導体ウェハが用意される。その後、この半導体ウェハの背面が研削されて150 μ m程度(好適には50 μ m程度)以下の厚みに薄型化された後に、半導体ウェハがダイシングされて個々の半導体チップ20が得られる。

【0038】

電子部品の一例として半導体チップ20を挙げたが、コンデンサ部品などの各種電子部品を使用することができる。

【0039】

その後、図2(c)に示すように、半導体チップ20をその素子形成面を上側にして(フェイスアップ)第1樹脂膜32a上に配置し、半導体チップ20を押圧することにより、未硬化の第1樹脂膜32aを排斥してその中に半導体チップ20を埋め込む。このとき、半導体チップ20は、その素子形成面と第1樹脂膜32aの上面とが略同一の高さになるように第1樹脂膜32aの中に埋め込まれる。このようにすることにより、特別に平坦化工程を追加することなしに、半導体チップ20の厚みに起因する段差の発生が解消されて平坦化される。

【0040】

なお、半導体チップ20の素子形成面と第1樹脂膜32aの上面との高さが、後工程のフォトリソグラフィなどに悪影響を及ぼさない程度に相互にずれて形成されるようにしてもよいことはもちろんである。

【0041】

図2(c)では、膜厚が60 μ m程度の第1樹脂膜32aに、厚みが30 μ m程度の半導体チップ20を、それらの上面が略同一の高さになるように埋め込んだ形態を例示している。このように、本実施形態では、半導体チップ20の背面とその下方の第1層間絶縁膜30（又は第2配線パターン28a）との間に第1樹脂膜32aが介在するようにすることが好ましい。

【0042】

なぜならば、半導体チップ20の背面と第1層間絶縁膜30との間に介在する第1樹脂膜32aが半導体チップ20と第1層間絶縁膜30とを接着する接着層として機能するからである。このように、本実施形態では、半導体チップ20の背面に接着層を形成する工程を省略できるという利点もあり、製造コストを低減できるという観点からも都合がよい。

【0043】

なお、半導体チップ20及び第1樹脂膜32aの厚みを調整して半導体チップ20の背面が第1層間絶縁膜30や第1配線パターン28aに接触するようにして埋め込むようにしても差し支えない。この場合も、半導体チップ20の素子形成面と第1樹脂膜32aの上面とが略同一の高さになるようにすることが好ましい。

【0044】

次いで、図3(a)に示すように、半導体チップ20を被覆する未硬化の第2樹脂膜32bを形成する。第2樹脂膜32bは第1樹脂膜32aと同様な材料及び形成方法により形成される。半導体チップ20を第2樹脂膜32bで被覆することにより、半導体チップ20の素子形成面の段差が平坦化される。

【0045】

このように、半導体チップ20が第1樹脂膜32aに埋め込まれて実装されるため、第2樹脂膜32bは半導体チップ20上に局所的に盛り上がって形成され

ることはなく、全体にわたって平坦化された状態で形成される。

【0046】

続いて、図3(a)の構造体を130～200℃の温度で熱処理することにより、第1樹脂膜32a及び第2樹脂膜32bを同時に硬化させる。このとき、第1及び第2樹脂膜32a、32bを真空雰囲気でプレス（押圧）しながら熱処理するようにしてもよい。真空プレスを行うことにより、第2樹脂膜32bはその上面がより平坦化された状態で硬化するようになる。

【0047】

これにより、第1樹脂膜32a（第1絶縁膜）及び第2樹脂膜32b（第2絶縁膜）により構成される第2層間絶縁膜32が得られる。

【0048】

続いて、図3(b)に示すように、半導体チップ20の接続パッド21a及び第2配線パターン28a上の第2層間絶縁膜32の所定部をレーザ又はRIEなどでエッチングすることにより第2ビアホール32xを形成する。

【0049】

その後、図3(c)に示すように、第2ビアホール32x内面及び第2層間絶縁膜32上にシードCu膜28xを形成し、続いて第3配線パターンに対応する開口部29aを有するレジスト膜29をフォトリソグラフィにより形成する。このとき、第2層間絶縁膜32はその上面が全体にわたって平坦化されて形成されていることから、フォトリソグラフィにおいてデフォーカスが発生しなくなるので、所要のパターンのレジスト膜29を精度よく安定して形成することができる。

【0050】

次いで、同じく図3(c)に示すように、シードCu膜28xをめっき給電層に利用した電解めっきにより、レジスト膜29をマスクとしてCu膜パターン28yを形成する。

【0051】

続いて、レジスト膜29を除去した後、Cu膜パターン28yをマスクにしてシードCu膜28xをエッチングする。これにより、図4(a)に示すように、

半導体チップ 20 の接続パッド 21 a 及び第 2 配線パターン 28 a に第 2 ビアホール 32 x を介して接続される第 3 配線パターン 28 b（上側配線パターン）が第 2 層間絶縁膜 32 上に形成される。

【0052】

このように、半導体チップ 20 を被覆する第 2 層間絶縁膜 32 の上面が平坦になるようにしたので、第 2 層間絶縁膜 32 上に第 3 配線パターン 28 b を形成する際のフォトリソグラフィにおいてフォーカスマージンを大きく設定する必要がなくなる。従って、第 3 配線パターン 28 b に対応する開口部を有するレジスト膜 29 を精度よく安定して形成することができるようになるため、所望の第 3 配線パターン 28 b が得られるようになる。

【0053】

なお、第 2 及び第 3 配線パターン 28 a, 28 b は、上記したセミアディティブ法の他に、サブトラクティブ法又はフルアディティブ法により形成されるようにしてもよい。

【0054】

また、特に図示しないが、第 1 樹脂膜 32 a を形成する工程から（図 2（b））から第 3 配線パターン 28 b を形成する工程（図 4（a））までの工程を所定回数繰り返すことにより、複数の半導体チップ 20 が層間絶縁膜にそれぞれ埋設された状態で多層化されて相互接続された形態としてもよい。このような場合も、各層間絶縁膜はそれぞれ平坦化されて形成されるので、半導体チップを内蔵した層間絶縁膜と配線パターンとを何ら不具合が発生することなく積層化して形成することができる。

【0055】

また、複数の層間絶縁膜のうちの任意の層間絶縁膜に半導体チップ 20 が同様に埋設された形態としてもよい。さらには、ベース基板 24 の裏面にも半導体チップ 20 が同様に層間絶縁膜に埋設された状態で積層された形態としてもよい。

【0056】

次いで、図 4（b）に示すように、第 3 配線パターン 28 b の接続部 28 z に開口部 36 a を有するソルダレジスト膜 36 を形成する。そして、第 3 配線パタ

ーン 28b の接続部 28z 上に Ni/Au めっきが施される。

【0057】

続いて、バンプ 23 を備えた上側半導体チップ 20x (上側電子部品) を用意し、第 3 配線パターン 28b の接続部 28z に上側半導体チップ 20x のバンプ 23 をフリップチップ接続する。

【0058】

このとき、第 3 配線パターン 28b の接続部 28z は、半導体チップ 20 の上方及び半導体チップ 20 が存在しない領域上において高さのばらつきがなく略同一の高さに配置されるため、上側半導体チップ 20x のバンプ 23 を接続部 28z に信頼性よく接合させることができる。

【0059】

なお、ソルダレジスト 36 の開口部 36a にはんだボールを搭載するなどしてバンプを形成し、上側半導体チップ 20x の接続端子をこのバンプに接合するようにしてもよい。

【0060】

以上により、本発明の第 1 実施形態の半導体装置 1 (電子部品実装構造) が完成する。

【0061】

第 1 実施形態の半導体装置 1 では、ベース基板 24 上に第 1 及び第 2 層間絶縁膜 30、32 と第 1～第 3 配線パターン 28～28b がそれぞれ積層されて形成されている。そして、半導体チップ 20 は、フェイスアップで第 2 層間絶縁膜 32 の中央部に埋め込まれた状態で実装されている。

【0062】

つまり、半導体チップ 20 はその下方の第 1 層間絶縁膜 30 (又は第 2 配線パターン 28a) に接触しない状態で実装されていて、半導体チップ 20 と第 1 層間絶縁膜 30 の間には第 2 層間絶縁膜 32 が介在している。この半導体チップ 20 の背面と第 1 層間絶縁膜 32 との間に介在する第 2 層間絶縁膜 32 は、これらを接着する接着層の機能を兼ねている。このように、半導体チップ 20 の背面に接着層を特別に設ける必要がないので、半導体装置 1 の構造を簡易にすることが

できると共に、その信頼性を向上させることができる。

【0063】

そして、半導体チップ20の接続パッド21aは第3配線パターン28bを介してその上方に実装された上側半導体チップ20xなどに電氣的に接続されている。

【0064】

本実施形態の半導体装置1の製造方法では、半導体チップ20が第1樹脂膜32aに埋め込まれて実装されるので、半導体チップ11上に形成される第2樹脂膜32bは、半導体チップ20の厚みによる段差の影響を受けずに平坦な状態で形成される。これにより、第2層間絶縁膜32上に形成される第3配線パターン28bが精度よく安定して形成される。

【0065】

また、第1実施形態では、半導体チップ20を被覆する第2樹脂膜32b上に第3配線パターン28bが形成されるようにしている。このため、半導体チップ20のパシベーション膜21bとして絶縁耐性の信頼性が低いものを使用する場合であっても、第3配線パターン28bと半導体チップ20の回路パターンとが電氣的にショートする恐れがなくなり、半導体装置1の信頼性を向上させることができる。

【0066】

さらに、第3配線パターン28bの接続部28zが配置される高さが一定となるため、第3配線パターン28bの接続部28zと上側半導体チップ20xのバンプ23との接合に係るコプラナリティー（平坦度）を小さくすることができる。これにより、第3配線パターン28bの接続部28zと上側半導体チップ20xのバンプ23との接合不良（ブリッジやオープンなど）の発生が防止される。

【0067】

（第2の実施の形態）

図5及び図6は本発明の第2実施形態の電子部品実装構造の製造方法を示す断面図である。第2実施形態が第1実施形態と異なる点は、半導体チップを第1樹脂膜に埋め込んで実装した後に第2樹脂膜を形成せずに半導体チップ20上に直

接第3配線パターンを形成することにある。第2実施形態では、第1実施形態と同様な工程についてはその詳しい説明を省略する。

【0068】

第2実施形態の電子部品実装構造の製造方法は、図5（a）に示すように、まず、第1実施形態と同様な方法により、ベース基板24上の第1層間絶縁膜30及び第2配線パターン28a上に未硬化の第1樹脂膜32aを形成する。

【0069】

その後、図5（b）に示すような半導体チップ20a（電子部品）を用意する。この半導体チップ20aでは、素子形成面に接続パッド21aを備え、それ以外の部分には接続パッド21aを露出させる開口部21xをもつパシベーション膜21b（表面保護膜）が設けられている。第2実施形態に係るパシベーション膜21bとしては、絶縁耐性の信頼性が高いものが使用される。そのようなパシベーション膜21bとしては、材料や膜厚は特に限定されないが、例えば、膜厚が0.5 μ m程度のシリコン窒化膜と膜厚が3 μ m程度以上のポリイミド樹脂膜とにより構成される。また、第1実施形態で使用した半導体チップ20の上に接続パッド21aを露出させる樹脂フィルムを貼着することによりパシベーション膜21bとしてもよい。

【0070】

このような半導体チップ20aを用いることにより、第1実施形態と違って、半導体チップ20a上に第2樹脂膜を介さずに直接第3配線パターン28aを形成しても半導体チップ20aの回路パターンと第3配線パターン28bとが電氣的にショートする恐れがなくなる。

【0071】

なお、各種の電子部品実装構造の信頼性スペックに応じて、半導体チップ20aの回路パターンと第3配線パターン28bとがショートしないように半導体チップのパシベーション膜の材料及び構造が適宜選択される。

【0072】

次いで、同じく図5（b）に示すように、第1実施形態と同様な方法により、この半導体チップ20を第1樹脂膜32a内に埋め込んで実装する。これにより

、半導体チップ20の素子形成面と第1樹脂膜32aの上面とが略同一の高さになるので、半導体チップ20aの厚みに起因する段差の発生が解消される。

【0073】

続いて、図5(c)に示すように、図5(b)の構造体を130～200℃の温度で熱処理することにより第1樹脂膜32aを硬化させて第2層間絶縁膜32とする。その後に、第2配線パターン28a上の第2層間絶縁膜32の所定部をレーザ又はRIEでエッチングすることにより、第2ビアホール32xを形成する。

【0074】

次いで、図6(a)に示すように、第1実施形態と同様なセミアディティブ法などにより、第2層間絶縁膜32及び半導体チップ20a上に第3配線パターン28b(上側配線パターン)を形成する。第3配線パターン28bは、第2ビアホール32xを介して第2配線パターン28aに接続されると共に、パシベーション膜21bの開口部21xを介して半導体チップ20の接続パッド21aに接続される。

【0075】

第2実施形態では、半導体チップ20a上に直接第3配線パターン28bを形成できるようにしたことから、半導体チップ20a上に第2樹脂膜を形成する工程を省略することができるので、第1実施形態より製造工程が削減されて製造コストを低減することができる。

【0076】

次に、第2実施形態では、第4配線パターンをさらに形成する形態を例示する。すなわち、図6(b)に示すように、第3配線パターン28bを被覆する樹脂膜などからなる第3層間絶縁膜34を形成する。続いて、第3配線パターン28b上の第3層間絶縁膜34の所定部をレーザ又はRIEでエッチングすることにより第3ビアホール34xを形成する。さらに、第3ビアホール34xを介して第3配線パターン28bに接続される第4配線パターン28cをセミアディティブ法などにより形成する。

【0077】

このように、第2実施形態では、配線パターンを1層追加形成する場合においても、第1実施形態の製造方法に対して一工程削減することができる。このため、配線密度を高くして電子部品実装構造を小型化、高性能化して製造する際に、第1実施形態より製造コストを低減することができる。

【0078】

次いで、図6（c）に示すように、第1実施形態と同様に、第4配線パターン28cの接続部28zに開口部36aを有するソルダレジスト膜36を形成する。その後に、上側半導体チップ20xの bumps 23を第4配線パターン28cの接続部28zにフリップチップ接続する。

【0079】

以上により、第2実施形態の半導体装置1a（電子部品実装構造）が得られる。

【0080】

第2実施形態においても、第1実施形態と同様な変形例を適用することができる。

【0081】

第2実施形態では、第1実施形態と同様な効果を奏すると共に、半導体チップ20a上に直接配線パターンを形成できるようにしたので、第1実施形態の製造方法に対して一工程削減することができ、製造コストを低減することができる。

【0082】

（第3の実施の形態）

図7及び図8は本発明の第3実施形態の電子部品実装構造の製造方法を示す断面図である。第3実施形態が第1実施形態と異なる点は、半導体チップをフェイスダウンで樹脂膜の中に埋め込んでフリップチップ実装することにある。第3実施形態において、第1実施形態と同一工程についてはその詳しい説明を省略する。

【0083】

第3実施形態の電子部品実装構造の製造方法は、図7（a）に示すように、まず、第1実施形態と同様な方法により、ベース基24上の第1層間絶縁膜30及

び第2配線パターン28a上に未硬化の樹脂膜32aを形成する。

【0084】

その後に、図7(b)に示すような半導体チップ20b(電子部品)を用意する。この半導体チップ20bは、素子形成面側に接続パッド21aとそれに接続されたバンプ23を備え、 $150\mu\text{m}$ (好適には $50\mu\text{m}$)以下に薄型化されたものである。接続パッド21a及びそれに接続されたバンプ23が接続端子の一例である。

【0085】

次いで、同じく図7(b)に示すように、半導体チップ20bをそのバンプ23が搭載された面を下側にして(フェイスダウン)樹脂膜32a上に配置し、半導体チップ20bを押圧することにより半導体チップ20bを樹脂膜32a中に埋め込む。これにより、半導体チップ20bは樹脂膜32aを排斥してそのバンプ23が第2配線パターン28aに接触する。しかも、半導体チップ20bの背面と樹脂膜32aの上面とは略同一の高さになって平坦化される。

【0086】

このとき、半導体チップ20bの背面と樹脂膜32aの上面とが略同一の高さになるように、半導体チップ20bの厚みと樹脂膜32aの膜厚が適宜調整される。例えば、半導体チップ20bのチップ厚みが $30\mu\text{m}$ 程度、バンプ23の高さが $10\mu\text{m}$ 程度である場合(トータルの厚み： $40\mu\text{m}$ 程度)、樹脂膜32aは第2配線パターン28a上で $40\mu\text{m}$ 程度の膜厚になるように形成される。

【0087】

続いて、半導体チップ20bのバンプ23と第2配線パターン28aとを接合する。半導体チップ20bのバンプ23がAuからなる場合は、第2配線パターン28aとして表面にAu膜を有する配線を使用し、超音波フリップチップ実装により半導体チップ20bのバンプ23と第2配線パターン28aとを接合する。

【0088】

あるいは、半導体チップ20bのバンプ23がはんだからなる場合は、第2配線パターン28aとしてCu配線又は表面にAu膜を有する配線を使用し、リフ

ロー加熱することにより半導体チップ20bのバンプ23と第2配線パターン28aとを接合する。

【0089】

その後、130～200℃の熱処理を行って樹脂膜32aを硬化させることにより第2層間絶縁膜32が得られる。

【0090】

これにより、図7(b)に示すように、半導体チップ20bが第1層間絶縁膜32に平坦な状態で埋設され、そのバンプ23が第2配線パターン28aにフリップチップ接続された構造が得られる。

【0091】

本実施形態では、半導体チップ20bを未硬化の樹脂膜32aに埋め込んで第2配線パターン28aにフリップチップ接続するようにしたことから、半導体チップ20bの下部隙間にアンダーフィル樹脂を充填することなく樹脂膜32が残存して充填される。このように、本実施形態では、半導体チップ20bの下部隙間にアンダーフィル樹脂を充填する工程を特別に必要としないという利点もある。

【0092】

次いで、図7(c)に示すように、第2配線パターン28a上の第2層間絶縁膜32の所定部をレーザ又はRIEでエッチングすることにより第2ビアホール32xを形成する。

【0093】

続いて、第1実施形態で説明したセミアディティブ法などにより、第2ビアホール32xを介して第2配線パターン28aに接続される第3配線パターン28b(上側配線パターン)を第2層間絶縁膜32上に形成する。第3実施形態においても、半導体チップ20bの背面と第2層間絶縁膜32の上面とは略同一の高さになって平坦化されるので、第3配線パターン28bを形成する際のフォトリソグラフィの精度を向上させることができる。これにより、所望の第3配線パターン28bが精度よく安定して形成される。

【0094】

本実施形態では、半導体チップ20bとしてその背面が研削されて薄型化されたものを使用する形態を例示している。第3配線パターン28bと半導体チップ20bの回路パターンとが電氣的にショートしないように、半導体チップ20bの背面上に第3配線パターン28bが形成されないようにする。なお、予め半導体チップ20bの背面に絶縁膜が形成されている場合は、第3配線パターン28bが半導体チップ20bの背面上に形成されるようにしても差し支えない。

【0095】

次いで、図8に示すように、第3配線パターン28bの接続部28zに開口部36aを有するソルダレジスト膜36を形成する。その後に、バンプ23を備えた上側半導体チップ20x（上側電子部品）のバンプ23を第3配線パターン28bの接続部28zにフリップチップ接続する。第3実施形態においても、第3配線パターン28bの接続部28zは、高さのばらつきがなく略同一の高さに配置されるため、上側半導体チップ20xのバンプ23を接続部28zに信頼性よく接合させることができる。

【0096】

これにより、第3実施形態の半導体装置1b（電子部品実装構造）が得られる。

【0097】

第3実施形態の電子部品実装構造の製造方法では、半導体チップ20bがフェイスダウンで未硬化の樹脂膜32aに埋め込まれ、さらに半導体チップ20bのバンプ23が第2配線パターン28aにフリップチップ接続される。

【0098】

このようにすることにより、特別な平坦化工程を追加することなく、半導体チップ20bがその厚みによる段差が解消された状態で第2層間絶縁膜32に埋設され、かつ第2配線パターン28aにフリップチップ接続される。このため、第1実施形態と同様に、第3配線パターン28bを精度よく安定して形成することができると共に、上側半導体チップ20xを第3配線パターン28bに信頼性よくフリップチップ接続することができる。

【0099】

また、半導体チップ 20b の下部隙間にアンダーフィル樹脂を特別に充填する必要がないため、製造コストを低減できるという利点もある。

【0100】

(第4の実施の形態)

図9及び図10は本発明の第4実施形態の電子部品実装構造の製造方法を示す断面図である。第4実施形態が第3実施形態と異なる点は、第3実施形態と同様な方法により半導体チップを実装した後に、半導体チップ上に絶縁膜を形成することにある。これにより、配線パターンを半導体チップ上の領域にも引き回しできるようになる。第4実施形態では、第1及び第3実施形態と同一工程についての詳しい説明を省略する。

【0101】

本発明の第4実施形態の電子部品実装構造の製造方法は、図9(a)に示すように、まず、第3実施形態と同様な方法により、半導体チップ 20b (電子部品) をフェイスダウンにして未硬化の第1樹脂膜 32a 内に埋め込むと共に、半導体チップ 20b の bumps 23 を第2配線パターン 28a にフリップチップ接続する。

【0102】

その後、図9(b)に示すように、半導体チップ 20b を被覆する未硬化の第2樹脂膜 32b を形成する。続いて、第1及び第2樹脂膜 32a, 32b を真空雰囲気中でプレス(押圧)した状態で 130~200℃ の温度で熱処理することにより、第1及び第2樹脂膜 32a, 32b を同時に硬化させる。これにより、第1樹脂膜 32a 及び第2樹脂膜 32b により構成される第2層間絶縁膜 32 が得られる。

【0103】

次いで、図9(c)に示すように、第2配線パターン 28a 上の第2層間絶縁膜 32 の所定部をレーザ又は RIE でエッチングすることにより、第2ビアホール 32x を形成する。

【0104】

続いて、図10(a)に示すように、第1実施形態で説明したサブアディティ

ブ法などにより、第2ビアホール32xを介して第2配線パターン28aに接続される第3配線パターン28b（上側配線パターン）を第2層間絶縁膜32上に形成する。

【0105】

本実施形態で使用される半導体チップ20bは、その背面が研削されて150 μ m（好適には50 μ m）以下に薄型化されたものであり、半導体チップ20bの背面に半導体（シリコン）層が露出した状態となっている。従って、半導体チップ20bの背面に直接第3配線パターン28bが形成される場合、第3配線パターン28bと半導体チップ20bの回路パターンが電氣的にショートする恐れがある。このため、前述した第3実施形態では、半導体チップ20b上には第3配線パターン28bを配置しないようにしている。

【0106】

しかしながら、第3実施形態では、図10（a）に示すように、半導体チップ20b上に第2樹脂膜32bを設け、その上に第3配線パターン28bを形成するようにしたので、半導体チップ20b上の領域にも第3配線パターン28bを配置することができる。

【0107】

つまり、第4実施形態では第3実施形態より第3配線パターン28bの引き回しの自由度を広くすることができるようになる。従って、電子部品実装構造の配線密度を高くすることができるようになり、これによって電子部品実装構造の小型化、高性能化に容易に対応することができるようになる。

【0108】

次いで、図10（b）に示すように、第3配線パターン28bの接続部28zに開口部36aを有するソルダレジスト膜36を形成する。さらに、第3配線パターン28bの接続部28zに上側半導体チップ20x（上側電子部品）のバンパ23をフリップチップ接続する。

【0109】

以上により、第4実施形態の半導体装置1c（電子部品実装構造）が得られる。

【0110】

第4実施形態は第3実施形態と同様な効果を奏すると共に、半導体チップ20bの背面は第2層間絶縁膜32（第2樹脂膜32b）で被覆されているため、半導体チップ20bの上方にも第3配線パターン28bを引き回すことが可能になり、配線密度を高くすることができる。

【0111】**【発明の効果】**

以上説明したように、本発明では、配線基板上に形成された未硬化の樹脂膜に電子部品が押圧されて埋め込まれるようにしている。このため、何ら特別な平坦化工程を追加することなく、電子部品の厚みに起因する段差が解消された状態で電子部品が樹脂膜内に埋設・実装される。

【0112】

このため、電子部品の上方に形成される上側配線パターンが精度よく安定して形成されるようになる。また、電子部品上方の上側配線パターンに上側電子部品をフィリップチップ実装する場合、上側電子部品と上側配線パターンとの接合の信頼性を向上させることができる。

【図面の簡単な説明】**【図1】**

図1は半導体チップが絶縁膜に埋設されて実装された半導体装置の製造における不具合な点を示す断面図である。

【図2】

図2は本発明の第1実施形態の電子部品実装構造の製造方法を示す断面図（その1）である。

【図3】

図3は本発明の第1実施形態の電子部品実装構造の製造方法を示す断面図（その2）である。

【図4】

図4は本発明の第1実施形態の電子部品実装構造の製造方法を示す断面図（その3）である。

【図 5】

図 5 は本発明の第 2 実施形態の電子部品実装構造の製造方法を示す断面図（その 1）である。

【図 6】

図 6 は本発明の第 2 実施形態の電子部品実装構造の製造方法を示す断面図（その 2）である。

【図 7】

図 7 は本発明の第 3 実施形態の電子部品実装構造の製造方法を示す断面図（その 1）である。

【図 8】

図 8 は本発明の第 3 実施形態の電子部品実装構造の製造方法を示す断面図（その 2）である。

【図 9】

図 9 は本発明の第 4 実施形態の電子部品実装構造の製造方法を示す断面図（その 1）である。

【図 10】

図 10 は本発明の第 4 実施形態の電子部品実装構造の製造方法を示す断面図（その 2）である。

【符号の説明】

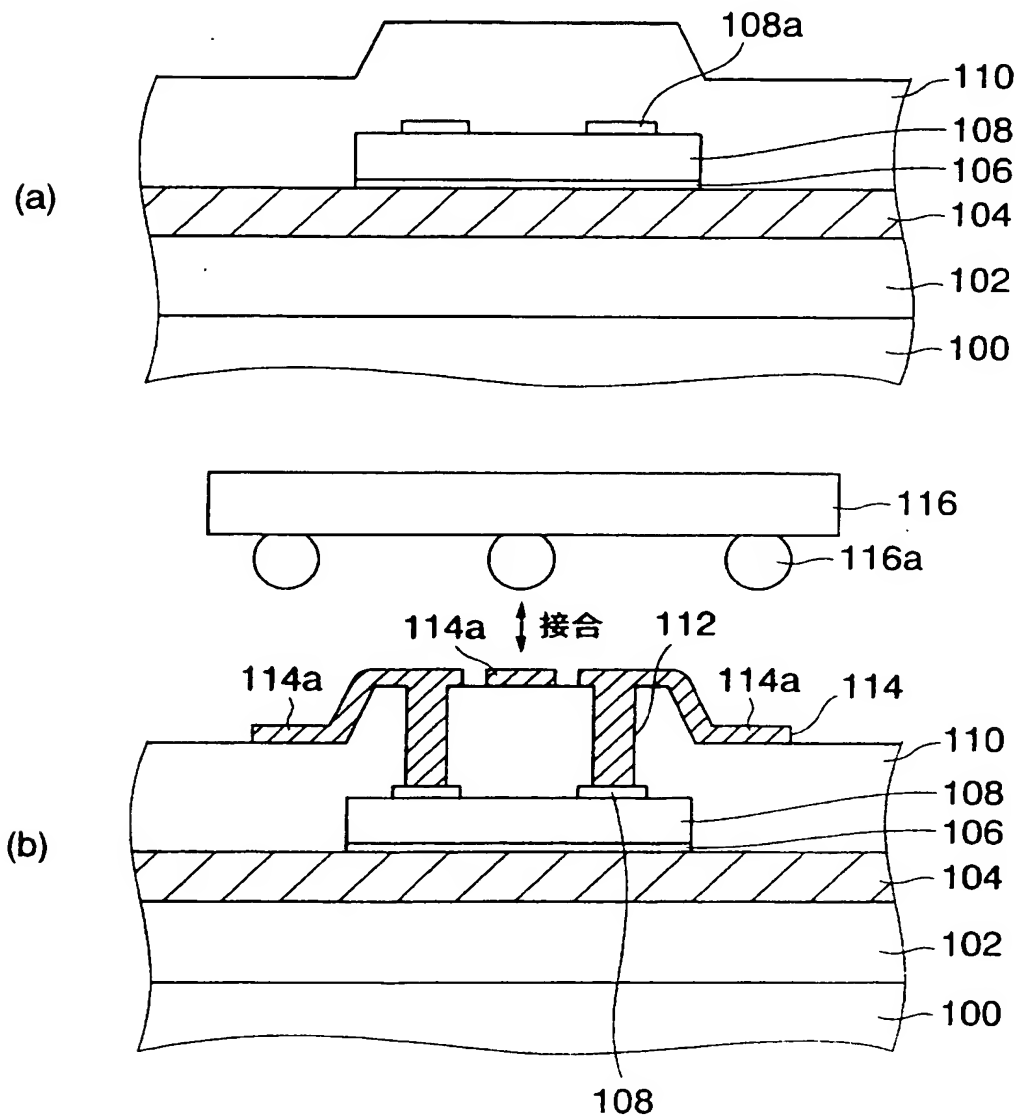
1, 1 a, 1 b, 1 c…半導体装置（電子部品実装構造）、20, 20 a, 20 b…半導体チップ（電子部品）、20 x…上側半導体チップ（上側電子部品）、21 a…接続パッド、21 b…パシベーション膜、23…バンプ、24…ベース基板、24 a…スルーホール、24 b…スルーホールめっき層、24 c…樹脂、28…第 1 配線パターン、28 a…第 2 配線パターン、28 b…第 3 配線パターン（上側配線パターン）、28 c…第 4 配線パターン、28 x…シード Cu 膜、28 y…Cu 膜パターン、28 z…接続部、29…レジスト膜、30…第 1 層間絶縁膜、30 x…第 1 ビアホール、32 a…第 1 樹脂膜、32 b…第 2 樹脂膜、32…第 2 層間絶縁膜、32 x…第 2 ビアホール、34…第 3 層間絶縁膜、34 x…第 3 ビアホール、36…ソルダレジスト膜、21 x, 29 a, 36 a…開口

部。

【書類名】 図面

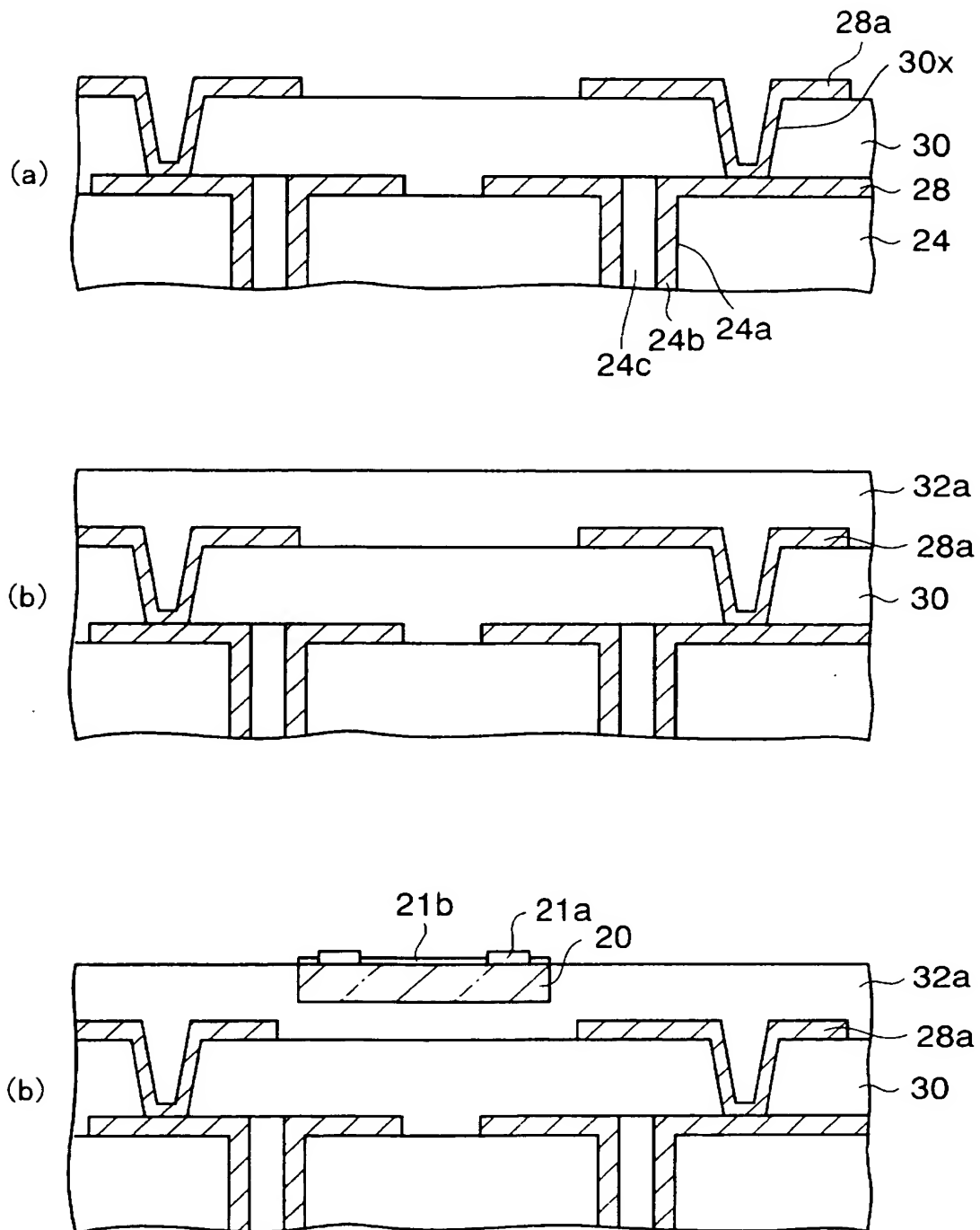
【図 1】

半導体チップが絶縁膜に埋設されて実装された半導体装置の製造における不具合な点を示す断面図



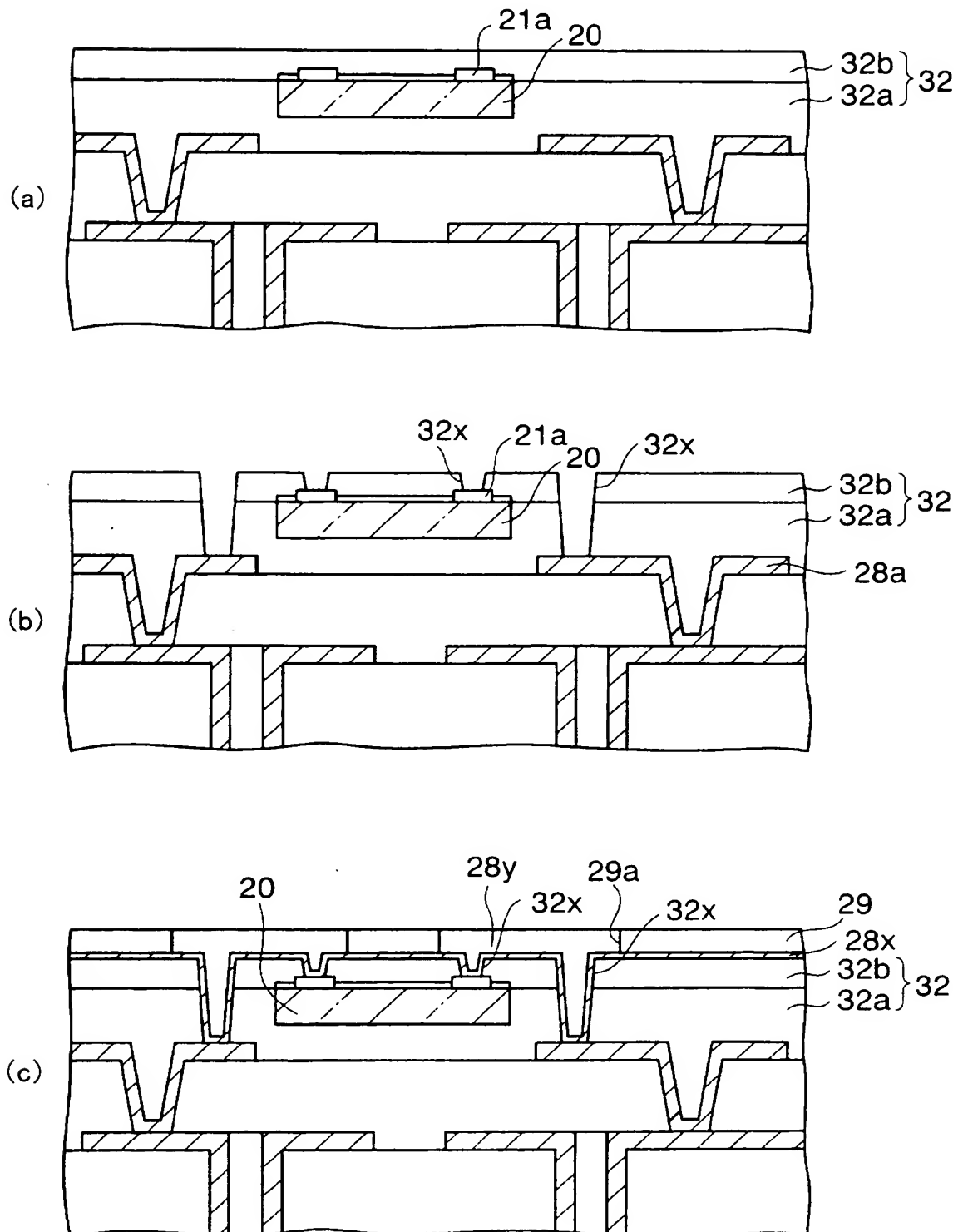
【図 2】

本発明の第1実施形態の電子部品実装構造の
製造方法を示す断面図(その1)



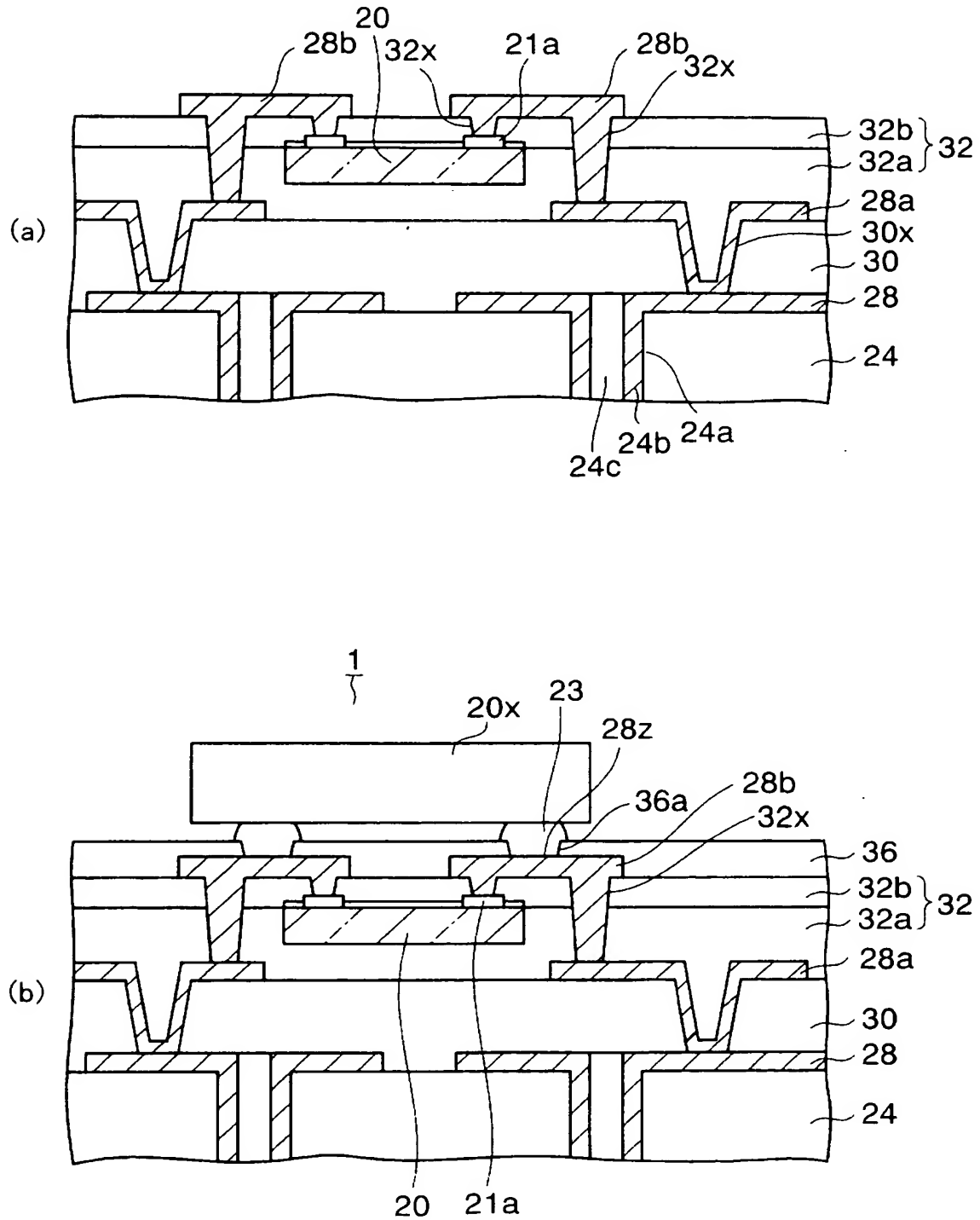
【図 3】

本発明の第1実施形態に係る電子部品実装構造の
製造方法を示す断面図(その2)



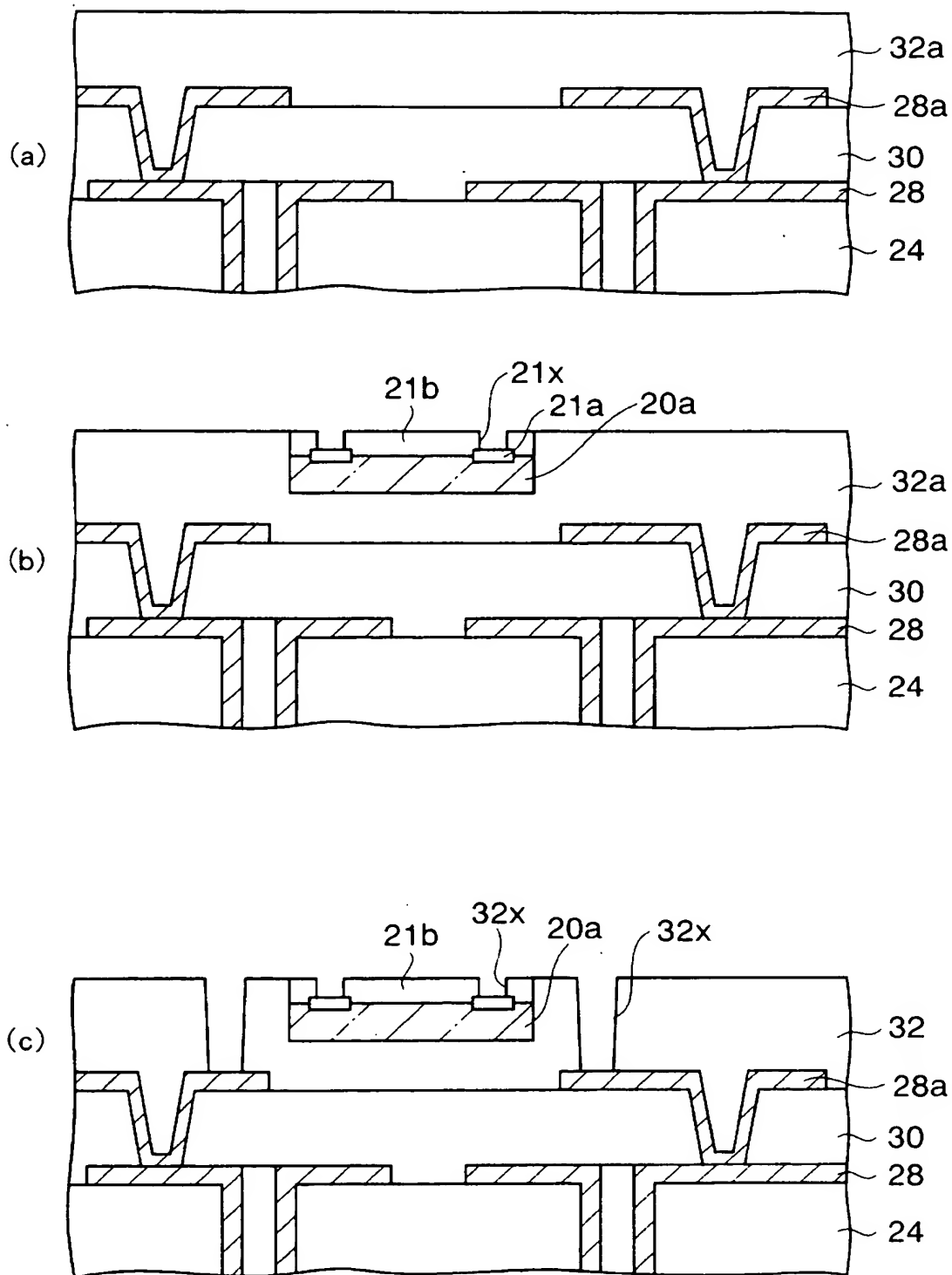
【図 4】

本発明の第1実施形態に係る電子部品実装構造の
製造方法を示す断面図(その3)



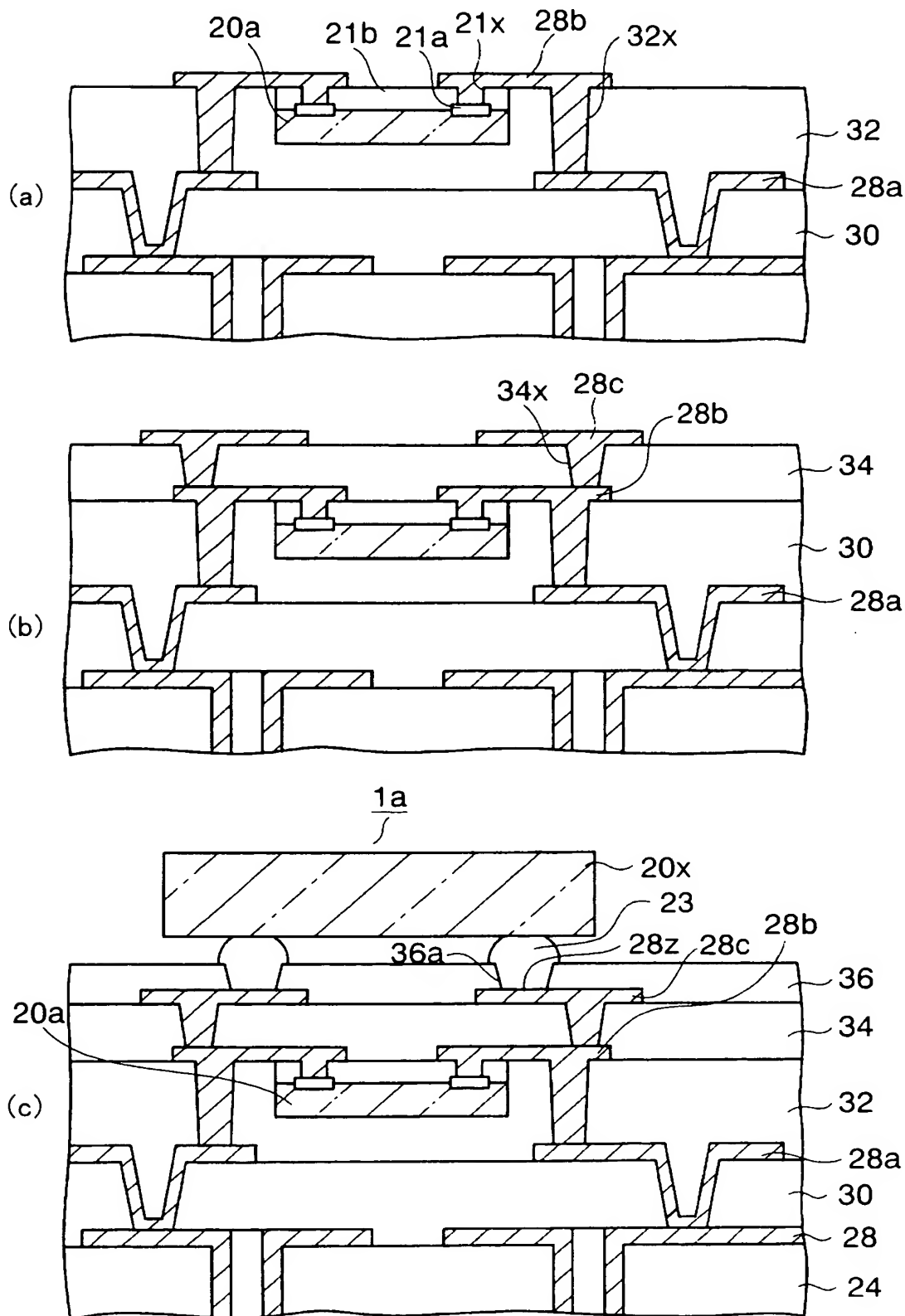
【図 5】

本発明の第2実施形態の電子部品実装構造の
製造方法を示す断面図(その1)



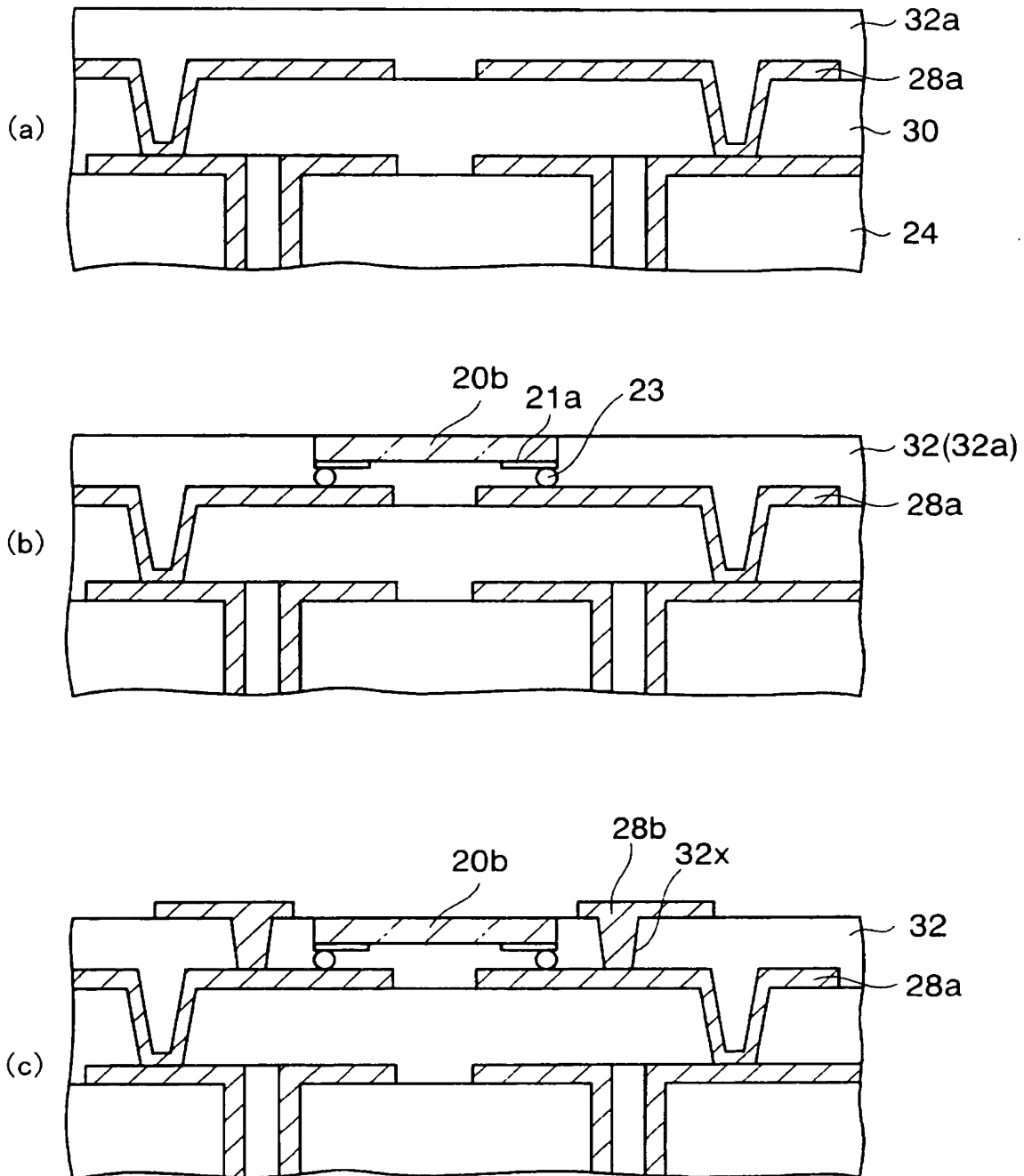
【図 6】

本発明の第2実施形態の電子部品実装構造の
製造方法を示す断面図(その2)



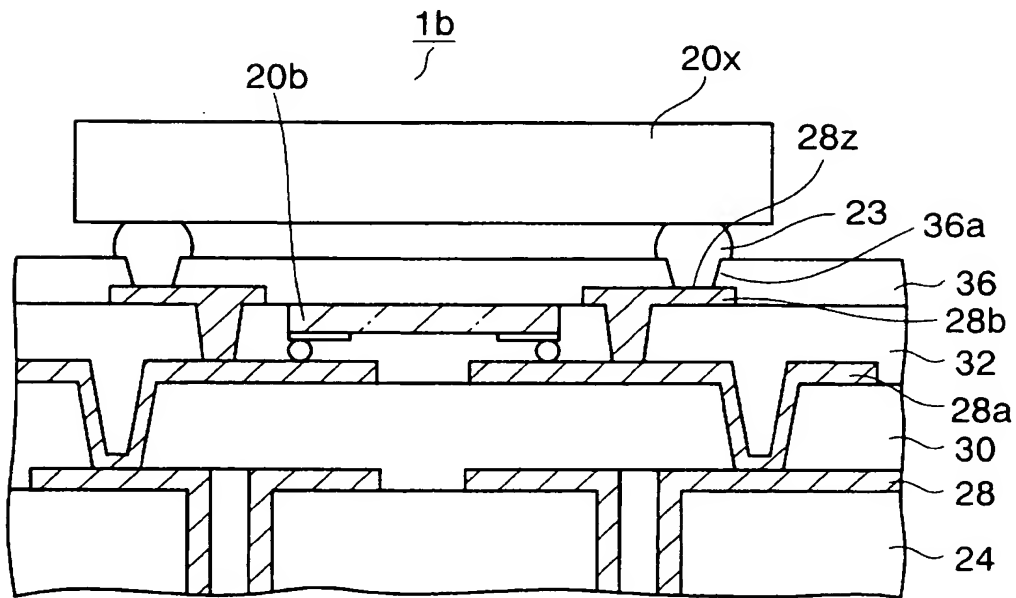
【図 7】

本発明の第3実施形態の電子部品実装構造の
製造方法を示す断面図(その1)



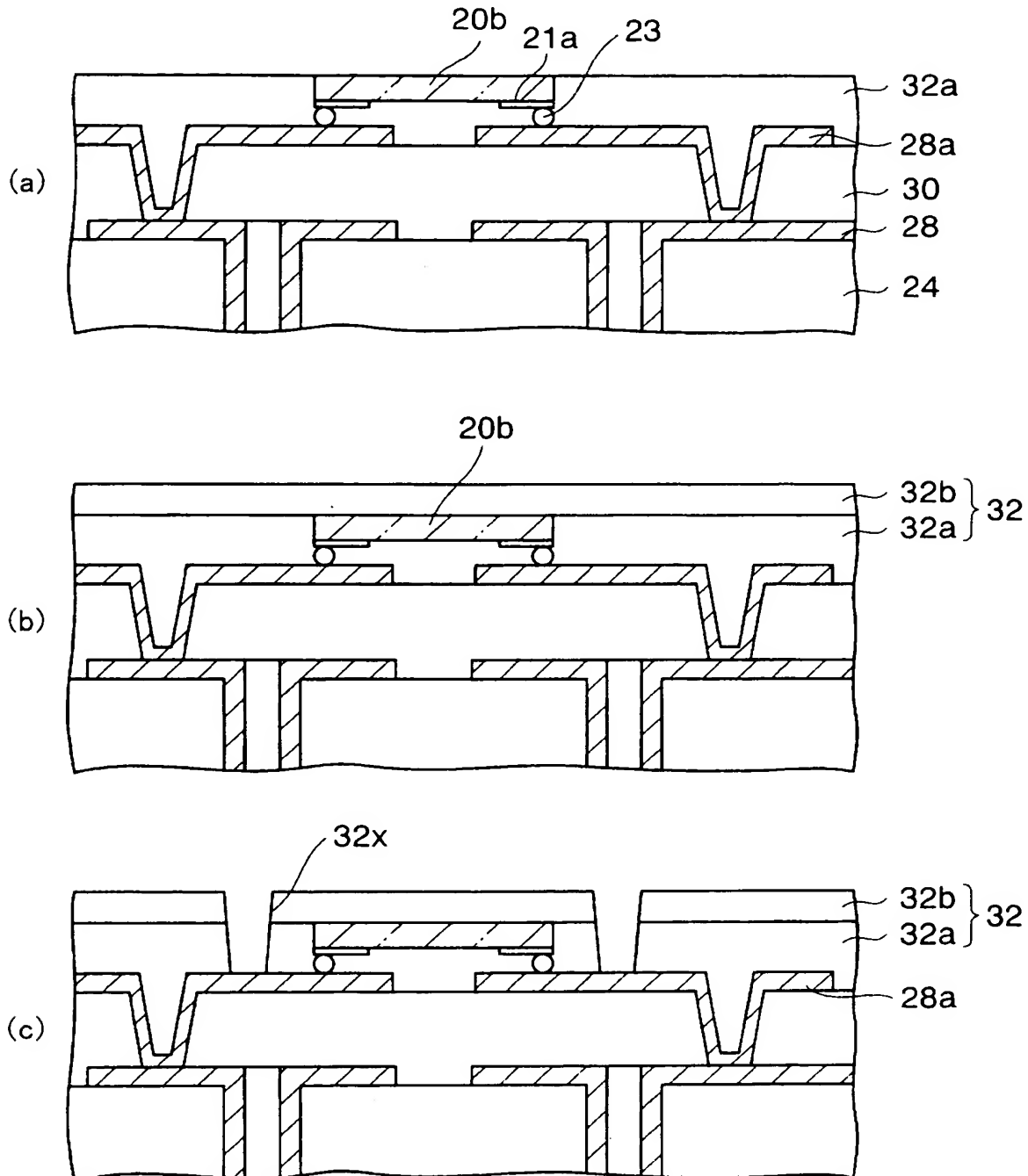
【図 8】

本発明の第3実施形態の電子部品実装構造の
製造方法を示す断面図(その2)



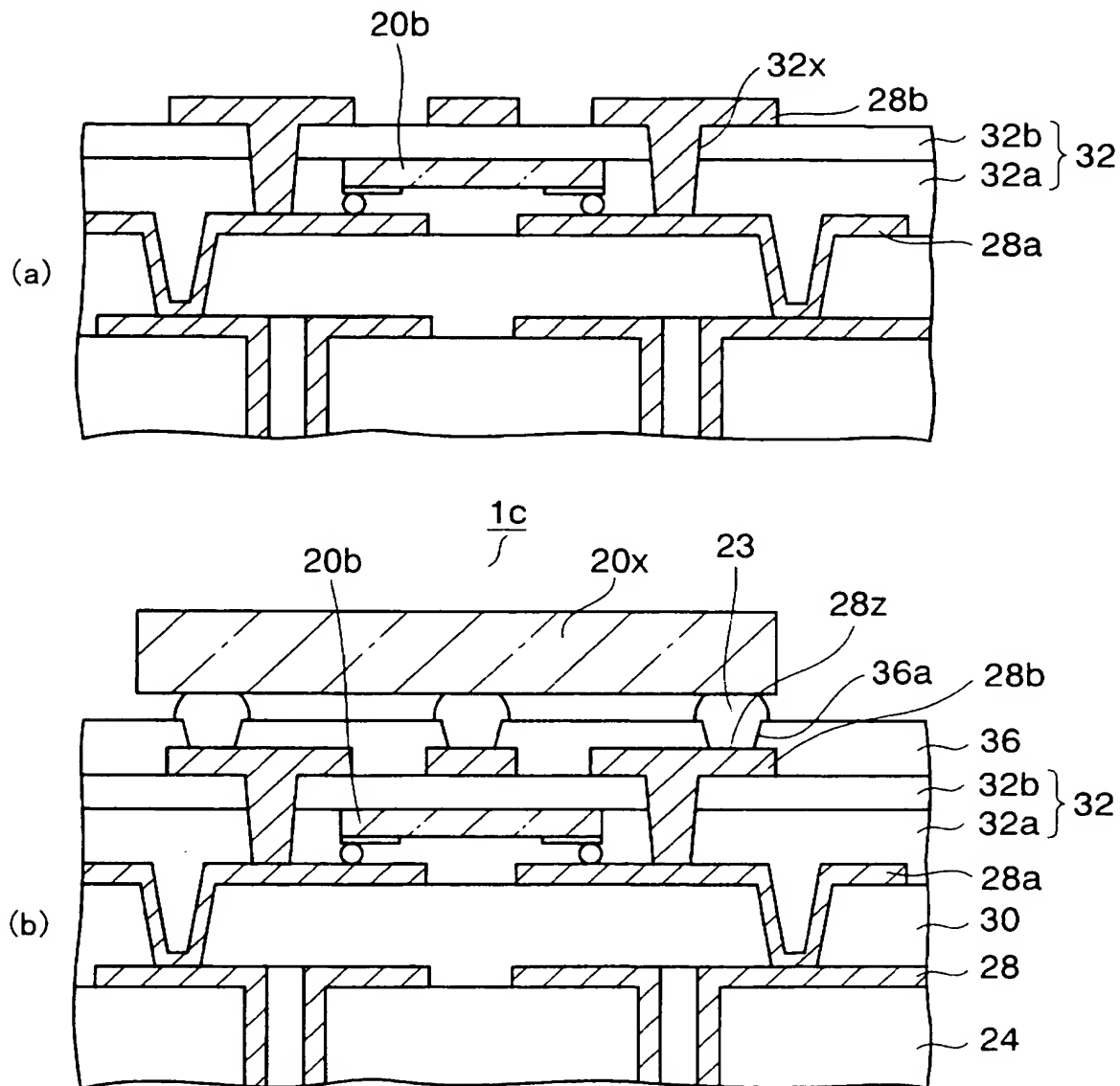
【図 9】

本発明の第4実施形態の電子部品実装構造の
製造方法を示す断面図(その1)



【図10】

本発明の第4実施形態の電子部品実装構造の
製造方法を示す断面図(その2)



【書類名】 要約書

【要約】

【課題】 電子部品が配線基板上の層間絶縁膜に埋設された構造を有する電子部品実装構造において、電子部品の厚みに起因する段差を容易に解消して平坦化することができる電子部品実装構造の製造方法を提供する。

【解決手段】 配線パターン 2 8 a を備えた配線基板 2 4 の上に未硬化の第 1 樹脂膜 3 2 a を形成する工程と、接続端子 2 1 a を備えた電子部品 2 0 を、接続端子 2 1 a を上側にして未硬化の第 1 樹脂膜 3 2 a の中に埋め込む工程と、電子部品 2 0 を被覆する第 2 樹脂膜 3 2 b を形成する工程と、第 1 及び第 2 樹脂膜 3 2 a, 3 2 b を熱処理して硬化することにより絶縁膜 3 2 を得る工程と、配線パターン 2 8 a 及び接続端子 2 1 a 上の絶縁膜 3 2 にビアホール 3 2 x を形成する工程と、ビアホール 3 2 x を介して配線パターン 2 8 a 及び接続端子 2 1 a に接続される上側配線パターン 2 8 b を形成する工程とを含む。

【選択図】 図 4

特願 2 0 0 3 - 0 1 4 5 8 8

出 願 人 履 歷 情 報

識別番号

[0 0 0 1 9 0 6 8 8]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

長野県長野市大字栗田字舎利田 7 1 1 番地

氏 名

新光電気工業株式会社

2. 変更年月日

2 0 0 3 年 1 0 月 1 日

[変更理由]

住所変更

住 所

長野県長野市小島田町 8 0 番地

氏 名

新光電気工業株式会社